

# 超大规模集成电路制造中硅片平坦化技术的未来发展\*

郭东明 康仁科 苏建修 金洙吉

(大连理工大学机械工程学院 大连 116024)

摘要: 在集成电路(IC)制造中, 化学机械抛光(CMP)技术在单晶硅衬底和多层金属互连结构的层间全局平坦化方面得到了广泛应用, 成为制造主流芯片的关键技术之一。然而, 传统 CMP 技术还存在一定的缺点或局限性, 人们在不断完善 CMP 技术的同时, 也在不断探索和研究新的平坦化技术。在分析传统 CMP 技术的基础上, 介绍了固结磨料 CMP、无磨料 CMP、电化学机械平坦化、无应力抛光、接触平坦化和等离子辅助化学蚀刻等几种硅片平坦化新技术的原理和特点以及国内外平坦化技术的未来发展。

关键词: 硅片 化学机械抛光 平坦化 集成电路

中图分类号: TN304.1+2 TG175

## 0 前言

计算机、通信及网络技术的高速发展对 IC 的要求愈来愈高, IC 不断向高速化、高集成化、高密度化和高性能化的方向发展, 导致其特征尺寸不断缩小、金属互连结构布线层数不断增加。目前, 超大规模集成电路(ULSI)的特征尺寸已由 0.25  $\mu\text{m}$  缩小至 0.13  $\mu\text{m}$ , 硅片直径也从 200 mm 增大到 300 mm, 布线结构已发展到 6~7 层, 集成度达到 DRAM 4 G。根据国际半导体技术发展蓝图(ITRS)预测, 到 2009 年将开始使用直径 450 mm 硅片, 芯片的特征尺寸缩小至 0.07  $\mu\text{m}$ , 布线结构将达到 10 层以上, 集成度达到 DRAM 64 G。同时, 由于金属互连线变得很细, 将由 Cu 代替传统的 Al。在 IC 制造追求结构微细化、薄膜化和布线立体化的趋势中, 当 IC 特征尺寸达到深亚微米级, 半导体工艺技术遇到了新的挑战。由于光刻机的焦深变得越来越短, 硅晶片或薄膜层上极其微小的高度差异都会使 IC 的布线图案发生变形、扭曲、错位, 结果导致绝缘层的绝缘能力达不到要求, 或金属连线错乱而出现废品。因此, 为了得到准确的光刻图案, 必须提高硅片刻蚀层的面型精度和微观表面质量。在多层布线立体结构中, 不仅要求在整个硅片表面内各部分的高度差越来越小(局部平坦化), 还要求保证每层的全局平坦化。通常要求每层的全局平坦度不大于特征尺寸的 2/3。如对直径 300 mm 的硅片

采用线宽 130 nm 的制造工艺, 要求硅片的全局平坦度 87 nm, 在 26 mm $\times$ 44 mm 区域内的局部平坦度不大于 50 nm, 还要求硅晶片正面的微粗糙度 0.1 nm。因此, 必须寻求可以有效兼顾全局与局部平坦度的平坦化技术<sup>[1~4]</sup>。

## 1 硅片平坦化技术的现状

### 1.1 化学机械抛光技术的发展与应用

许多平坦化(Planarization)技术都曾在 IC 工艺中得到应用, 如基于淀积技术的选择淀积、旋涂玻璃 (Spin-on glass, SOG)、低压 CVD(Chemical vapor deposition)、等离子增强 CVD、偏压溅射和属于结构型的溅射后回蚀法(Etch back)、电子环绕共振法(Electron cyclotron resonance)、热回流法(Thermal reflux)、淀积—腐蚀—淀积等, 但是, 这些技术都是属于局部平坦化技术, 不能做到全局平坦化。为此必须发展新的全局平坦化技术<sup>[1~4]</sup>。

20 世纪 60 年代以前, 半导体基片抛光大都采用机械抛光技术, 化学机械抛光技术(Chemical mechanical polishing, CMP)于 1965 年 Walsh 和 Herzog 首次提出, 之后被逐渐应用起来。在半导体行业, CMP 最早应用于 IC 硅晶片衬底的抛光。1990 年, IBM 公司率先提出了 CMP 全局平坦化技术, 并于 1991 年成功应用于 64 Mb DRAM 的生产中, 在此之后, CMP 技术得到了快速发展。CMP 技术可以有效地兼顾表面的全局和局部平坦度, 目前, 它不仅材料制备阶段用于加工单晶硅衬底, 更主要用来对多层布线金属互连结构中层间电介质(Inter-level dielectric, ILD)、浅沟槽隔离(Shallow

\* 纪念《机械工程学报》创刊 50 周年——“机械工程技术的历史、进展与展望”主题征文。国家自然科学基金资助项目(50390061)。20030707 收到初稿, 20030812 收到修改稿

trench isolation, STI)、绝缘体、导体和镶嵌金属(W、Al、Cu、Au)等进行抛光, 实现每层的全局平坦化, 成为制造主流 IC 芯片的关键技术之一。

## 1.2 传统 CMP 技术的原理和特点

传统 CMP 系统如图 1 所示, 整个系统是由一个旋转的硅片夹持装置、承载抛光垫的工作台和抛光液(浆料)供给系统三大部分组成。抛光时, 旋转的工件以一定的压力压在随工作台一起旋转的抛光垫上, 而由亚微米或纳米磨粒和化学溶液组成的抛光液在工件与抛光垫之间流动, 并在工件表面产生化学反应, 工件表面形成的化学反应物由磨粒的机械摩擦作用去除。由于选用比工件软或者与工件硬度相当的游离磨粒, 在化学成膜和机械去膜的交替过程中, 通过化学和机械的共同作用从工件表面去除极薄的一层材料, 实现超精密表面加工。因而可以获得高精度、低粗糙度和无损伤的工件表面。

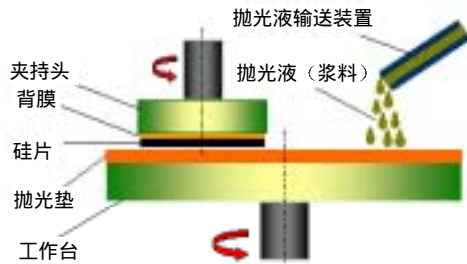


图 1 传统化学机械抛光原理示意图

这种传统的 CMP 技术尽管在 IC 制造中得到广泛应用, 但在实际应用也显现出一定的缺陷和局限性, 主要表现在以下几方面。

(1) 传统 CMP 是基于三体(游离磨料、抛光垫和硅片)磨损机理, 工艺参数多、加工过程不稳定, 不易实现自动化控制, 生产率低。

(2) 由于抛光垫是具有一定弹性的有机织物, 抛光时对表面材料去除的选择性不高, 导致产生过度抛光(Over polishing)、碟形凹陷(Dishing)、氮化物腐蚀(Nitride erosion)等缺陷。

(3) 抛光后一部分游离磨粒会镶嵌在薄膜层表面, 不易清洗。而且由于浆料成分复杂, 抛光表面残留浆料的清除是 CMP 后清洗的难题。

(4) 由于在抛光垫和硅片之间磨粒分布和抛光压力分布不均匀, 硅片各部分的材料去除率不一致, 影响表面平坦度。特别是对大尺寸硅片, 这种影响更突出。

(5) 抛光过程中, 抛光垫产生塑性变形而逐渐变得光滑, 或抛光垫表面微孔发生堵塞使其容纳浆料和排除废屑的能力降低, 导致材料去除率随时间下降。需要不断地修整和润湿抛光垫以恢复其表面

粗糙度和多孔性。此外抛光垫的不均匀磨损, 使得抛光过程不稳定, 很难进行参数优化。

(6) CMP 浆料、抛光垫、修整盘等耗材的成本占 CMP 总成本的 70%左右, 而抛光浆料的成本就占耗材的 60%~80%。此外, 抛光浆料管理和废料浆处理也相当麻烦。

可以看出, 尽管在 IC 芯片制造中, CMP 是不可缺少的实用技术, 但传统的 CMP 技术存在的问题依然不少。随着芯片集成度越来越高, 硅片直径不断增大, 特征尺寸不断减小以及金属布线新结构和新材料的不断出现, 对 CMP 平坦化的效率、成本、均匀性、可靠性、工艺控制能力将会提出更高的要求。促使人们去改进传统 CMP 平坦化技术, 并探索适应下一代 IC 制造的新平坦化技术。

## 2 硅片平坦化技术的新进展

### 2.1 固结磨料化学机械抛光技术

近几年, 3M 公司率先提出了固结磨料化学机械抛光(Fixed abrasives CMP, FA-CMP)技术。它是用树脂结合剂将亚微米或纳米级磨料(如  $Al_2O_3$ 、 $SiO_2$ 、 $CeO_2$  等)凝聚成团, 形成具有圆柱形、半球形、圆锥形和棱锥形等特定形状的三维结构细小磨料块(大小约几十至几百微米、高约为几十微米), 按照一定的阵形规律, 均匀精确地粘结或镶嵌在有机薄膜基材表面上, 形成复合结构的抛光垫, 代替传统 CMP 中的游离磨粒和抛光垫。抛光液是去离子水或只含有基本化学成分的水溶液。在加工过程中, 由于结构和尺寸一致的磨料块是按一定空间间隔均匀分布在抛光垫表面上, 便于抛光液的输送和加工产物的排除, 更重要的是, 抛光垫背面厚度均匀的有机薄膜衬底平铺在面型精度很高的工作台上, 使磨料块在 CMP 过程中表现出较强的位置刚性。已有的研究表明, FA-CMP 具有如下优点。

(1) 由于采用固结磨料抛光垫, 没有游离磨粒, 只使用去离子水或基本化学溶液。因此, 可认为 FA-CMP 是基于两体磨损机理。

(2) 具有优越的平坦化能力, 可以很快去除突出部分的氧化膜, 而在低洼处的氧化物不受机械作用影响, 对凹凸表面材料的选择性去除能力强, 表面形貌高度与平整化薄膜厚度之比可达到 200:1, 氧化物膜与氮化物膜的厚度之比可达 1.2:1。

(3) 在芯片多层布线中使直接高密度等离子体(HDP)浅槽隔离(STI)抛光成为可能, 不再需要反应离子刻蚀(RIE)过程。

(4) 可达到很小的晶片内非均匀性(WIW-UN)和芯片内非均匀性(WID-NU)。

(5) 平坦化效率高,材料去除率是传统 CMP 的 3 倍。

(6) 具有抛光自停功能(Self-stopping)。由于对过抛很不敏感,只产生最小的碟形凹陷和腐蚀,相当于抛光行为自动停止。

(7) 操作过程简单,没有更换和修整抛光垫以及清理抛光料浆所带来的停工问题,没有抛光液的维护和处理问题。

(8) 磨料利用率高,有效地减少杂质微粒对抛光表面的污染,加工表面容易清洗,废液处理简单,可有效降低成本。

(9) 工艺变量少,加工过程稳定,具有可重复性,容易实现自动化控制。

FA-CMP 技术的初步应用效果已引起了人们的关注。美国 3M 公司利用微复制(Micro replication)技术研制的固结磨料抛光垫和使用固结磨料抛光垫的 CMP 机床分别如图 2 和图 3 所示。目前,国外 Applied Materials、Rodel、Speedfam 等一些著名的半导体设备公司和科研机构也开始研究 FA-CMP 技术,认为 FA-CMP 代表了平坦化技术未来的发展方向。郭东明等目前也正在开展 FA-CMP 的基础理论和关键技术研究。

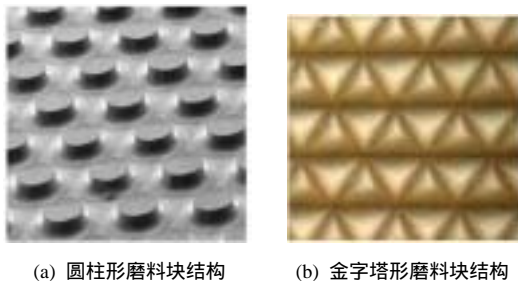


图 2 固结磨料抛光垫表面三维结构的 SEM 照片



图 3 使用固结磨料抛光垫的卷带式 CMP 机床

## 2.2 无磨料化学机械抛光技术

无磨料化学机械抛光(Abrasive-free CMP,

AF-CMP)技术是在传统的 CMP 基础上去掉抛光液中的磨料所发展的平坦化技术。该技术使用不含磨料的抛光液,直接通过抛光液与硅片之间化学腐蚀作用和抛光垫和硅片之间的摩擦作用去除表面材料,实现硅片的全局平坦化。看起来从 CMP 过程中去掉磨料似乎仅保留了无平坦化能力和各向同性的湿法蚀刻,但是,研究人员发现化学溶液更强的腐蚀性加上抛光垫的摩擦力能起到去除表面材料的作用。同时,由于没有磨粒,硅片表面上几乎没有划痕和其他缺陷。由于化学作用在 AF-CMP 中起主导作用,对铜的去除率可高达 600 nm/min。

考虑到传统的 CMP 系统和抛光垫都可用于 AF-CMP 工艺,所以许多研究机构正在研究这种技术。日立公司,ATMI, Applied Materials 和麻省理工学院的微系统技术实验室都相继公布了一些 AF-CMP 的研究成果。

由于 AF-CMP 抛光液中没有磨粒,因此材料去除率行为不符合 Preston 方程,即不像在传统 CMP 工艺中那样,抛光速率直接与抛光压力成正比。一般 CMP 加工中为了减小碟形误差,希望抛光压力很低。对于 AF-CMP 技术,有一个合适的极限压力,低于该压力值时,材料去除率将变为零。这就意味着 AF-CMP 不能在很低的压力条件下操作。此外,对惰性较强的氮化钽等阻挡层金属和 STI 氧化物,由于无磨料,用 AF-CMP 抛光液时达不到令人满意的去除率。因此,实际操作中最有可能采用的工艺流程是先用 AF-CMP 去除大量金属,然后再用传统 CMP 技术在低抛光压力下去除剩余的铜和阻挡层。

### 2.3 电化学机械平坦化技术

在 ULSI 芯片的制造中,铜填充技术是金属互连多层布线中的关键技术之一,目前主要采用电化学沉积(Electrochemical deposition, ECD)或电镀(Electroplating)技术。尽管通过技术改进,可以使沉积过程具有沿沟槽侧壁自下而上(Bottom-up filling)的独特填充机制,但已有研究发现,这种填充机制只对大深宽比的微细深孔和沟槽有效,而对图形尺寸大且深宽比小的结构不起作用,仍然会产生保型生长。细沟槽和宽沟槽的铜填充过程如图 4a 所示,最终在细沟槽分布区域和无图形区域的顶部多沉积了一层台阶高度为  $D_1$  的铜。

为了满足光刻工艺的要求,目前主要采用铜 CMP 平坦化工艺去除每层的多余铜。由于铜电镀工艺所产生的多余铜的台阶高度较大,必然会对后续平坦化工序乃至 IC 制造过程的效率、成本以及 IC 器件的质量和性能等产生重大影响。

最近,美国 NuTool 公司提出了一种平坦化新技

术—电化学机械沉积(Electrochemical mechanical deposition, ECMD)技术,即在传统的电化学铜沉积工艺基础上,在两个电极之间增加非导体多孔抛光垫,利用抛光垫的干扰作用实现选择性电化学铜沉积,同时抛光垫的机械摩擦和抛光作用可去除顶部多余的铜沉积层,从而通过选择沉积与机械去除双重作用,减小多余铜的厚度,达到平坦化的目的。采用该技术进行铜填充的过程如图 4b 所示,最终的铜沉积表面平坦,多余铜的厚度  $D_2$  很小。

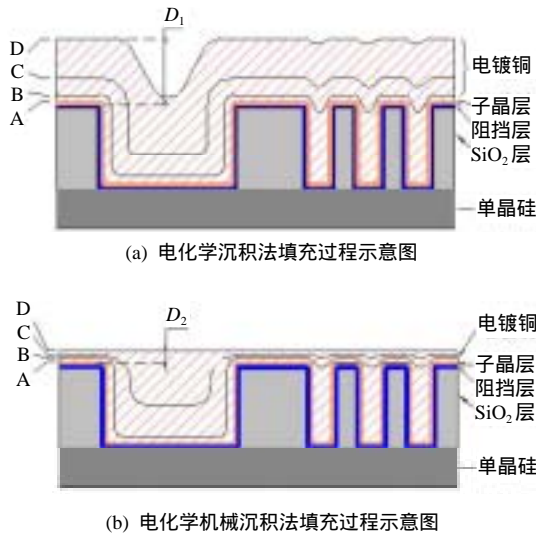


图 4 电化学沉积法与电化学机械沉积法填充铜的比较

郭东明等已开始研究集电化学铜沉积与电化学机械抛光于一体的电化学机械平坦化(Electrochemical mechanical planarization, ECMP)技术。试验装置如图 5 所示,与电化学沉积(ECD)技术和电化学机械沉积(ECMD)技术不同的是将直流电源改为双向脉冲电源。

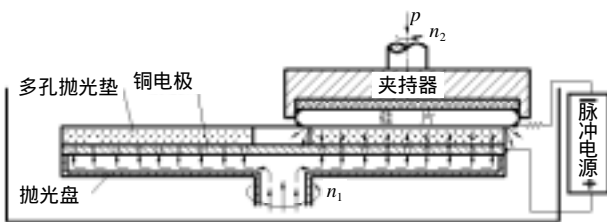


图 5 电化学机械平坦化试验装置

电化学机械平坦化(ECMP)技术有如下特点。

(1) 在正脉冲状态下,进行电化学铜沉积,利用两极之间的多孔抛光垫的机械干扰来改变硅片表面和沟槽底部的催化剂分布,从而强化沟槽底部沉积,抑制顶部沉积,实现选择性电化学铜沉积。

(2) 在负脉冲状态下,利用铜沉积层表面产生的电化学微溶解与机械抛光复合作用及时地去除硅片顶部多余铜,可大大降低台阶高度,还可获得无

损伤的平坦化表面。

(3) 在负脉冲状态下,利用铜沉积层表面产生的电化学微溶解现象,去除沟槽中沉积层表面的微细毛刺,为沟槽底部创造良好的铜沉积条件,改善铜沉积层的密度和导电性;也可溶解去除沟槽顶角附近的铜,抑制其过快生长而产生的封口现象,避免产生空洞、缝隙等缺陷,有利于提高沉积铜的质量。

由于 ECMD 和 ECMP 技术最大限度地减小了铜填充过程中多余铜的厚度,获得无损伤的平坦化表面,因此可减少后续 CMP 平坦化的工作量,甚至有可能取代传统铜 CMP 平坦化工序。NuTool 公司的研究人员宣称,由于 ECMD 平坦化后只剩下很少的铜,后续只需采用低压力无磨料抛光和零压力湿法蚀刻,从而可完全淘汰 CMP 技术。

#### 2.4 无应力抛光技术

在 IC 制造中,随着铜线宽的不断缩小以及电介质逐渐向低介电常数材料过渡,为了使 IC 达到重要的高速性能,金属铜必须与低介电常数材料组合,并且要与超低介电常数( $\kappa < 2.5$ )材料相兼容。铜金属化所必需的低介电常数材料(如多孔干凝胶等)通常非常软或者没有粘性,以至于在传统 CMP 平坦化过程中难以承受在其上所产生的应力,不能为铜金属互连提供机械支撑。而  $0.1 \mu\text{m}$  宽铜线的强度仅为  $0.18 \mu\text{m}$  宽铜线强度的  $1/6$ 。因此, CMP 加工中的力学行为发生根本的变化,金属互连的强度和应力问题变得更加突出。

无应力抛光(Stress-free polishing, SFP)是由电解抛光技术发展而来的平坦化技术,主要依靠电流密度效应按一系列同心环对铜结构表面进行平坦化。这项技术考虑到最小蝶形误差的严格要求,一次处理一个同心环,可使通过硅片表面的电位差最小化。其工艺过程为:首先利用电解抛光去除大量的铜;再通过二次抛光,以确保全部去除顶部的铜;最后采用等离子体蚀刻工艺去除顶部的阻挡层金属,并回蚀某些电介质。

初步研究表明,无应力抛光技术有如下优点。

(1) SFP 能够在二次抛光后把  $2 \sim 65 \mu\text{m}$  宽的隔离金属沟槽的蝶形误差控制在  $30 \sim 60 \text{ nm}$  范围内,对于密集的亚微米布线结构可得到相似的结果。再利用等离子体蚀刻可使蝶形误差减小到  $0 \sim 30 \text{ nm}$ 。通过上述流程可以取消对低介电常数介质上阻挡层的需要。

(2) SFP 工艺的耗材成本(Cost of consumables, CoC)非常低,只有 2 美元/圆晶片,而传统 CMP 工艺的耗材成本则超过 10 美元/圆晶片。

(3) 传统平坦化加工时, 为了避免碟形误差、腐蚀和金属铜互连的分层, 必须针对铜和软电介质材料组合中的两种材料采用完全不同的工艺才能保证两种材料都不损伤。而采用 SFP 工艺进行平坦化, 不会使铜互连产生裂纹或分层, 从而可以避免由此所引起的液体滞留、腐蚀和电路的最终失效。

由于上述优点, 自从美国 Fremont 公司的 ACM 研究中心 2000 年 10 月宣布 SFP 技术以来, SFP 系统已引起市场的高度重视, ACM 研究中心已与一些 IC 制造商密切合作开展 SFP 系统的研究。

## 2.5 接触平坦化技术

接触平坦化(Contact planarization, CP)技术是美国的 Brewer Science Inc.于 2001 年提出的一种替代传统 CMP 的新平坦化技术, 现正在研究之中。CP 技术是通过压力将要平坦化的物体压平, 主要用于对电介质层的平坦化, 可以有效地制备具有低介电常数( $\kappa=1.5\sim 3.8$ )和纳米尺度多孔结构的平坦化的硅介质膜。其平坦化原理和过程为: 用旋涂(Spin-coating)、浸涂(Dip-coating)和 CVD 等方法将含有溶剂的硅基化合物沉积到硅片上, 通过化学反应和加热聚合使之形成凝胶体, 再经过脱溶剂、加热和紫外线照射(或电子束、离子束等作用)固化和硬化成可用的薄膜。然后在足够大的压力下用一个平坦的物体与薄膜接触并压平。最后将平坦物体与薄膜分离, 得到固化的平坦化介质膜。

CP 技术具有以下特点。

(1) 具有很好的平坦化能力, 且不受特征尺寸和图形密度的限制。

(2) 可提高硅片生产能力, 降低生产成本, 按每层平坦化的成本比较, CMP 的加工成本为 8~10 美元/圆晶片, 而 CP 的加工成本只有 2 美元/圆晶片。

(3) 减少材料的浪费以及对环境的污染。

(4) 可减少清洗室面积, 且清洗容易, 效率高。

(5) 操作过程简单, 质量控制比 CMP 好。

## 2.6 等离子辅助化学蚀刻平坦化技术

等离子辅助化学蚀刻(Plasma assisted chemical etching, PACE)技术原是由于光学镜片的加工, 现已用于硅片的平坦化。PACE 平坦化系统如图 6 所示, 测量系统把硅片表面凸凹的几何误差信息输入计算机, 由计算机控制等离子喷嘴的位置和速度, 对凸凹表面进行局部加工, 蚀刻速度一般为  $1\sim 50\ \mu\text{m}/\text{min}$ , 等离子喷嘴直径可以从  $3\sim 30\ \text{mm}$  选择, 因此可以对精度进行控制。

由于 PACE 技术在进行硅片平坦化时是非接触加工, 所以具有不产生损伤层和易于保证面型精度等优点。日本 Speedfam 公司已经研究出用于硅片平

坦化的 PACE 技术和设备。

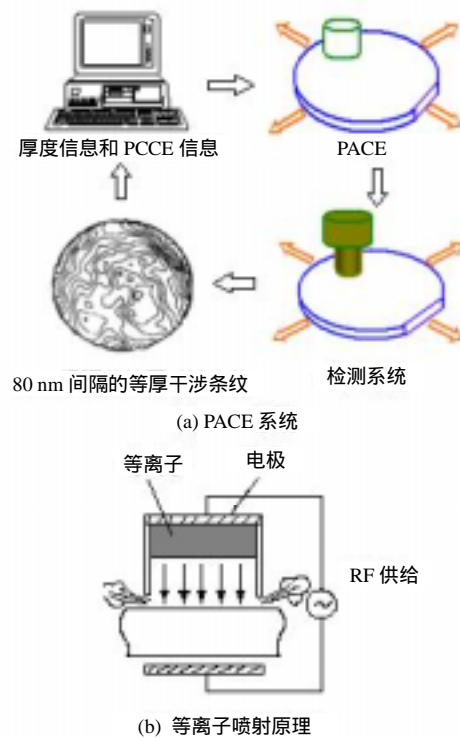


图 6 等离子辅助化学蚀刻的系统与原理

## 3 结论

在 IC 制造中, 在没有更好的平坦化技术被人们完全认可之前, 传统的 CMP 技术还具有生命力, 仍然是 IC 制造中不可缺少的实用技术。但随着 IC 制造技术的发展, 对硅片平坦化技术的效率、成本、均匀性、可靠性和工艺控制能力等要求也越来越高。文中所述的 FA-CMP、AF-CMP、ECMP、CFP、CP 和 PACE 等几种平坦化技术代表了硅片平坦化技术的发展方向, 其中有些技术将有可能取代传统的 CMP 技术成为主导的平坦化技术, 也可能出现几种平坦化技术并存的局面, 而更完美的平坦化技术也将会不断出现。总之, 提高 IC 和半导体器件制造效率、降低制造成本、保证质量和性能一直是人们追求的目标, IC 制造技术的发展需要更完美的平坦化技术, 对新平坦化技术的探索和研究将会永无止境。

## 参 考 文 献

- 1 Hahn P O. The 300 mm silicon wafer - a cost and technology challenge. *Microelectronic Engineering*, 2001, 56(1,2): 3~13
- 2 International Technology Roadmap for Semiconductors, Interconnect, ITRS, 2001 Edition, <http://public.itrs.net/>
- 3 Gehman B L. In the age of 300 mm silicon, tech standards

- are even more crucial, Solid State Technology, 2001, 44: 127~128
- 4 Luo J F, Dornfeld David A. Material removal mechanism in chemical mechanical polishing: theory and modeling. IEEE Transactions on Semiconductor Manufacturing, 2001, 14(2): 112~133
  - 5 Reid J. Optimization of damascene feature fill for copper electroplating process. In: Proc. of the International Interconnect Technology Conf., 1999
  - 6 Zhao B. IC interconnect technology-challenges and opportunities. In: Proceedings 6th International Conference on Solid-State and Integrated-Circuit Technology, 2001 : 337~342
  - 7 Korczynski Ed. Future of CMP to be revolutionary, not evolutionary, Legal Information and Terms of Use ©SEMI 2002
  - 8 Laertis Economikos. STI planarization using fixed abrasive technology, <http://www.future-fab.com/>
  - 9 Vo T, Buley, T Gagliardi J. Improved planarization for STI with fixed abrasive technology. Solid State Tech., 2000(6): 23~28
  - 10 Van der Velden. P Chemical mechanical polishing with fixed abrasives using different subpads to optimize wafer uniformity. Microelectronic Engineering, 2000, 50 :
  - 11 Neudeck V H, Hof A J, Kranenburg H Van, et al, Copper chemical mechanical polishing using a slurry-free technique. Microelectronic Engineering, 2001, 55: 305~312
  - 12 Li S J, Sun L Z, Stan Tsai, et al, A low cost and residue-free abrasive-free copper CMP process with low dishing. Erosion And Oxide Loss, IITC 2001 / IEEE
  - 13 Annabel Nickles, Dan Marohl, Gopal Prabhu, et al. Slurryless CMP enables next-generation direct polish STI. <http://sst.pennnet.com/Articles>
  - 14 Basol B M, Uzoh C E, Talieh H, et al. Electrochemical mechanical deposition (ECMD) technique for semiconductor interconnect applications, Microelectronic Engineering, 2002, 64: 43~51
  - 15 Wang D H, Afnan M, Chiao S S. Stress-free polishing advances use of copper interconnects on silicon wafers. Semiconductor Fabtech – 13th edition, 2000: 255~257
  - 16 Endisch Denis H, Drage James S. Contact Planarization Using Silica Materials, US Patent, US2003/0008522A1

17 <http://www.brewerscience.com>

- 18 Zarowin C B, bollinger L D. Rapid, noncontact, damage free shaping of optical and other surfaces with plasma assisted chemical etching. In: 43rd Annual Symposium on Frequency Control, 1989: 623~626

## FUTURE DEVELOPMENT ON WAFER PLANARIZATION TECHNOLOGY IN ULSI FABRICATION

*Guo Dongming Kang Renke Su Jianxiu Jin Zhuji  
(University of Dalian Technology)*

**Abstract:** Chemical-mechanical polishing (CMP) is widely used in planarization of silicon substrate and multilayer metal interconnection construction and becomes one of core technologies in ULSI fabrication. However, the traditional CMP technology has some disadvantages and limitations. It is important to research and develop new planarization technology while improving the traditional CMP technology. Based on analyse of the traditional CMP technology, principle and advantages of several new wafer planarization technology, such as fixed abrasives CMP, abrasive-free CMP, electrochemical mechanical planarization, stress-free polishing, contact planarization, plasma assisted chemical etching, are introduced, and future developments on wafer planarization technology are predicted.

**Key words:** Wafer Chemical-mechanical polishing  
Planarization IC

作者简介: 郭东明, 男, 1959 年出生, 博士, 教授, 博士生导师, 大连理工大学副校长。中国机械工程学会常务理事, 中国机械工程学会生产工程分会副理事长和机械设计分会理事, 《机械工程学报》编委。主要从事精密及特种加工、精密测量及数字化设计制造。主持完成国家自然科学基金项目 5 项, 其他科研课题 20 多项, 发表论文 100 余篇。拥有 2 项实用新型专利成果, 3 项发明专利成果。以第一成果人取得中国高校科技一等奖(2001 年度)和中国机械工业科技三等奖(2001 年度)各 1 项, 另获得教育部自然科学奖二等奖(2002 年度)和大连市科技进步一等奖(2002 年度)各 1 项。已培养毕业 9 名博士研究生, 培养出站博士后 2 名。现领导着一个有 5 名教授、6 名副教授和讲师、近 30 名博士生组成的科研团队, 承担着一批国家和部级重点研究课题。